

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Kee-won KWON et al.

Art Unit: TBA

Appl. No.: NEW

Examiner: TBA

Filed: 8July 2003

Atty. Docket: SEC.1032

For: **Semiconductor Memory Device with Structure Providing Increased Operating Speed**

CLAIM OF PRIORITY

Honorable Assistant Commissioner for Patents and Trademarks,
Washington, D.C. 20231

Sir:

Applicant, in the above-identified application, hereby claims the priority date under the International Convention of the following Korean application:

Appln. No. 2002-0039427 filed July 8, 2002

as acknowledged in the Declaration of the subject application.

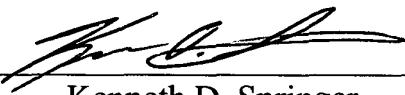
A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, P.L.L.C.

Date: 8 July 2003

By: _____


Kenneth D. Springer
Registration No. 39,843

VOLENTINE FRANCOS, P.L.L.C.
12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

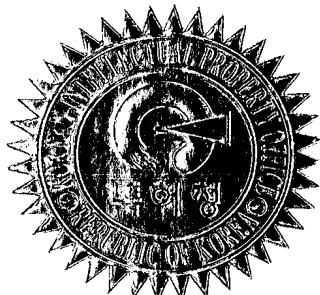
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0039427
Application Number PATENT-2002-0039427

출원년월일 : 2002년 07월 08일
Date of Application JUL 08, 2002

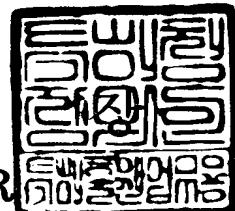
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002년 10월 23일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0022
【제출일자】	2002.07.08
【국제특허분류】	G11C
【발명의 명칭】	동작속도를 향상시키기 위한 개선된 구조를 가지는 반도체 메모리 장치
【발명의 영문명칭】	A semiconductor memory device having the improved structure for elevating operation speed
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	권기원
【성명의 영문표기】	KWON, Kee Won
【주민등록번호】	660626-1810114
【우편번호】	463-739
【주소】	경기도 성남시 분당구 미금동(까치마을) 신원아파트 304동 201호
【국적】	KR
【발명자】	
【성명의 국문표기】	김윤철
【성명의 영문표기】	KIM, Youn Cheul
【주민등록번호】	680114-1009822

【우편번호】

130-756

【주소】

서울특별시 동대문구 답십리1동 우성청솔아파트 108동 402호

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
이영필 (인) 대리인
정상빈 (인)

【수수료】**【기본출원료】** 20 면 29,000 원**【가산출원료】** 14 면 14,000 원**【우선권주장료】** 0 건 0 원**【심사청구료】** 10 항 429,000 원**【합계】** 472,000 원**【첨부서류】** 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

동작속도를 향상시키기 위한 개선된 구조를 가지는 반도체 메모리 장치가 개시된다. 본 발명에 의한 동작속도를 향상시키기 위한 개선된 구조를 가지는 반도체 메모리 장치는 복수개의 메모리 어레이 블록들과, 래스 체인과, 캐스 체인 및 데이터 변환기를 구비하는 것을 특징으로 한다. 복수개의 메모리 어레이 블록들은 소정 수의 메모리 셀들을 각각 포함하고 로우 방향으로 배열된다. 래스 체인은 복수개의 메모리 어레이 블록들의 일측에 로우 방향으로 배치되며, 소정의 워드라인을 선택하여 활성화시킨다. 캐스 체인은 복수개의 메모리 어레이 블록들의 다른 일측에 칼럼 방향으로 배치되며, 복수 개의 메모리 어레이 블록으로부터 각각 N (2 이상의 자연수) 비트의 데이터를 증폭시켜 입출력 라인으로 출력한다. 데이터 변환기는 입출력 라인을 통해 입력되는 데이터를 래스 체인 가까이에 배치되는 메모리 어레이 블록순으로 N 비트씩 순차적으로 출력한다. 동작속도를 향상시키기 위한 개선된 구조를 가지는 반도체 메모리 장치는 데이터가 가장 빠른 패스에 동기하여 입출력되도록 하여 데이터의 입출력 속도를 빠르게 할 수 있는 장점이 있다.

【대표도】

도 5

【명세서】**【발명의 명칭】**

동작속도를 향상시키기 위한 개선된 구조를 가지는 반도체 메모리 장치 {A semiconductor memory device having the improved structure for elevating operation speed}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.

도 1은 일반적인 메모리 셀 어레이에서 어레이 블록의 위치에 따른 데이터의 입출력 패스(path)를 나타내는 도면이다.

도 2a는 종래의 일예에 따른 반도체 메모리 장치의 구조를 나타내는 도면이다.

도 2b는 종래의 다른 예에 따른 반도체 메모리 장치의 구조를 나타내는 도면이다.

도 3은 일반적인 반도체 메모리 장치의 데이터 출력과 관련된 신호들을 나타내는 타이밍 차트이다.

도 4는 종래의 반도체 메모리 장치를 나타내는 도면이다.

도 5는 본 발명의 제1실시예에 의한 동작속도를 향상시키기 위한 개선된 구조를 가지는 반도체 메모리 장치를 나타내는 도면이다.

도 6은 본 발명의 제2실시예에 의한 동작속도를 향상시키기 위한 개선된 구조를 가지는 반도체 메모리 장치를 나타내는 도면이다.

도 7은 본 발명의 제3실시예에 의한 동작속도를 향상시키기 위한 개선된 구조를 가지는 반도체 메모리 장치를 나타내는 도면이다.

도 8은 본 발명의 제4실시예에 의한 동작속도를 향상시키기 위한 개선된 구조를 가지는 반도체 메모리 장치를 나타내는 도면이다.

도 9는 본 발명의 제5실시예에 의한 동작속도를 향상시키기 위한 개선된 구조를 가지는 반도체 메모리 장치를 나타내는 도면이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<12> 본 발명은 반도체 장치에 관한 것으로서, 특히, 동작속도를 향상시키기 위한 개선된 구조를 가지는 반도체 메모리 장치에 관한 것이다.

<13> 일반적으로, 반도체 메모리 장치는 많은 수의 정보저장용 메모리셀들이 넓은 면적에 배치된다. 상기 반도체 메모리 장치는 필요한 경우, 상기 메모리셀들 중 특정 메모리셀에 기록된 정보를 읽어 내거나 또는 원하는 정보를 기입하기 위한 반도체 소자이다.

<14> 이러한 반도체 메모리 장치는 많은 수의 메모리셀들이 넓은 면적에 배치되기 때문에 각각의 위치에 따라 가능한 최단 액세스 시간이 서로 달라진다.

<15> 따라서, 실제로 반도체 메모리 장치는 모든 메모리셀들에 대해 오차 없이 정보를 입출력시키기 위해, 제어신호의 타이밍이 항상 가장 늦은 레이트 리미팅 패스(rate limiting path)를 기준으로 설정되어 있다. 레이트 리미팅 패스는 실제로 가장 빨리 판독/기입할 수 있는 패스에 비해 2~3ns 정도 늦은 패스이다.

<16> 이러한 레이트 리미팅 패스는 주로 래스(RAS) 제어신호의 전달 지연, 칼럼 패스의 불균일한 데이터 전송 속도, 및 입출력(IO) 패스의 스큐(skew) 등에 의해 결정된다. 그 중에서도 상기 래스 제어신호의 전달 지연의 영향이 가장 크다. 여기에서, 상기 스큐는 레이아웃이나 인버터의 갯수에 의해 발생되는 신호의 편차 분포이다.

<17> 도 1은 일반적인 메모리 셀 어레이에서 어레이 블록의 위치에 따른 데이터의 입출력 패스(path)를 나타내는 도면이다.

<18> 도 1에서, 복수의 메모리 셀 어레이 블록들(11)이 로우(row) 및 칼럼(column) 방향으로 매트릭스 형태로 배치된다. 또, 상기 복수의 메모리 셀 어레이 블록들(11)은 래스 체인(RAS chain)(12)을 사이에 두고 양쪽으로 배치되어 있다. 상기 복수의 메모리 셀 어레이 블록들(11) 하측에는 칼럼 방향으로 두 개의 캐스 체인(CAS chain)(13)이 배치된다.

<19> 도 1에서 알 수 있는 것과 같이, 상기 래스 체인(12)과 근접하여 배치된 상기 메모리 셀 어레이 블록(11)의 패스(14)는 상기 래스 체인(12)과 떨어져서 배치된 상기 메모리 셀 어레이 블록(11)의 패스(15) 보다 더 짧다.

<20> 상기와 같이, 반도체 메모리 장치의 크기가 커지면서 레이아웃에 따라 빠른 패스와 느린 패스간의 스큐, 즉, 신호의 편차가 커지게 된다.

<21> 이러한 스큐 문제를 해결하기 위해, 도 2a 및 도 2b와 같은 구조의 반도체 메모리 장치가 제안된다.

<22> 도 2a는 종래의 일예에 따른 반도체 메모리 장치의 구조를 나타내는 도면이고, 도 2b는 종래의 다른 예에 따른 반도체 메모리 장치의 구조를 나타내는 도면이다.

<23> 도 2a에 도시된 반도체 메모리 장치의 구조는 래스 체인(12)의 갯수가 증가되어, 래스 제어 신호의 전달 속도가 빨라지는 구조이다. 또, 도 2b에 도시된 반도체 메모리 장치의 구조는 하나의 래스 체인(12)과 두 개의 에지 드라이버(16)가 복수의 메모리 셀 어레이 블록들의 일측에 배치된 구조이다.

<24> 상기 도 2b의 구조 역시 상기 도 2a의 구조와 마찬가지로 래스 제어 신호의 전달 속도가 빨라지는 구조이다. 상기 에지 드라이버(16)는 상기 래스 체인(12)으로부터 제어 신호를 수신하여 각 메모리 셀들을 활성화시킨다.

<25> 그러나, 상기 도 2a 및 도 2b와 같은 구조를 갖는 반도체 메모리 장치는 상기 래스 제어 신호의 전달 속도가 증가되어 스큐가 줄어들기는 하지만, 상기 래스 체인 또는 상기 에지 드라이버가 면적을 많이 차지하는 단점이 있다.

<26> 도 3은 일반적인 반도체 메모리 장치의 데이터 출력과 관련된 신호들을 나타내는 타이밍 차트이다.

<27> 도 3에서 참조되는 것과 같이, 메모리 셀 어레이 블록의 패스에 따라 각 제어신호들에서 스큐가 발생된다. 도 3에서 굵은 선으로 표시된 부분이 가장 빠른 패스에서의 신호를 나타내고, 가는 선으로 표시된 부분들이 느린 패스에서의 신호를 순차적으로 나타내는 것이다.

<28> 도 3에서는 래스 체인에 근접한 메모리 셀 어레이 블록의 순으로 상기 래스 제어신호가 전달되는 것을 알 수 있다. 또, 최종 출력 데이터(DQ)는 가장 느린 패스의 메모리 셀 어레이 블록의 데이터(RD)가 출력되는 시점을 기준으로 출력된다.

<29> 도 3에서는 워드라인(WL)과 비트 라인 센스 인에이블(BLSE) 단 두 개의 스큐만을 고려하였으나, 상당히 큰 데이터 출력 지연이 발생되는 것을 알 수 있다.

<30> 가장 빠른 패스를 이용할 경우 상기 가장 빠른 패스의 신호에 동기하여 DQ 신호가 출력되어야 하지만, 실제로는 가장 늦은 패스의 신호에 동기하여 출력된다. 상기 가장 빠른 패스의 신호에서 상기 가장 늦은 패스까지의 시간은 스큐 때문에 발생되는 시간이고, 그 시간은 약 1~2nsec 정도이다.

<31> 도 4는 종래의 반도체 메모리 장치를 나타내는 도면이다.

<32> 종래의 반도체 메모리 장치는 복수의 메모리 어레이 블록들(21)과, 래스 체인(23)과, 캐스 체인(24)과, 복수의 멀티플렉서들(25)을 구비한다.

<33> 상기 복수의 메모리 어레이 블록들(21) 각각은 데이터를 저장하는 소정 수의 메모리셀들을 포함한다. 상기 래스 체인(23)은 상기 복수의 메모리 어레이 블록들(21)의 일측에 로우 방향으로 배치되고, 메모리셀의 워드라인을 활성화시키기 위한 래스 제어신호를 출력한다.

<34> 상기 캐스 체인(24)은 상기 복수의 메모리 어레이 블록들(21)의 하측에 칼럼 방향으로 배치되고, 해당 메모리셀의 비트 라인을 선택하여 데이터를 증폭시켜 출력한다.

<35> 상기 복수의 멀티플렉서들(25)은 상기 복수의 메모리 어레이 블록들(21)에 각각 연결된다. 상기 복수의 멀티플렉서들(25)은 상기 복수의 메모리 어레이 블록들(21)에서 데이터의 고속전송을 위해 8비트씩의 데이터를 프리 페치(pre-fetch)한다. 상기 프리 페치된 데이터는 상기 복수의 멀티플렉서들(25)에서 직렬 데이터로 변환되어 각각 DQ0~DQ7로 출력된다.

<36> 상기 DQ0~DQ7 까지의 직렬 데이터들은 모두 같은 클럭에 입출력되어야 하기 때문에, 데이터가 빨리 전달될 수 있는 상기 DQ7은 상기 DQ0에 데이터가 셋업될 때까지 기다려야 한다. 이 대기시간은 온도, 공정, 전압 등의 변화에 따라 변화하므로 실제 설계에서는 스큐보다 더 긴 시간동안 대기하도록 설계하고 있다.

<37> 따라서, 종래의 반도체 메모리 장치는 데이터가 가장 늦은 패스를 기준으로 입출력 되기 때문에, 동작속도가 느린 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

<38> 본 발명이 이루고자하는 기술적 과제는, 데이터가 가장 빠른 패스에 동기하여 입출력되도록 하여 데이터의 입출력 속도를 빠르게 하는 동작속도를 향상시키기 위한 개선된 구조를 가지는 반도체 메모리 장치를 제공하는데 있다.

【발명의 구성 및 작용】

<39> 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 동작속도를 향상시키기 위한 개선된 구조를 가지는 반도체 메모리 장치는, 로우 및 칼럼 방향으로 매트릭스 형태로 배치되는 복수개의 메모리셀들을 포함하는 반도체 메모리 장치에 있어서, 복수개의 메모리 어레이 블록들과, 래스 체인과, 캐스 체인 및 데이터 변환기를 구비하는 것을 특징으로 한다.

<40> 복수개의 메모리 어레이 블록들은 소정 수의 메모리셀들을 각각 포함하고 로우 방향으로 배열된다. 래스 체인은 복수개의 메모리 어레이 블록들의 일측에 로우 방향으로 배치되며, 소정의 워드라인을 선택하여 활성화시킨다. 캐스 체인은 복수개의 메모리 어레이 블록들의 다른 일측에 칼럼 방향으로 배치되며, 복수개의 메모리 어레이 블록으로

부터 각각 N (2 이상의 자연수) 비트의 데이터를 증폭시켜 입출력 라인으로 출력한다. 데이터 변환기는 입출력 라인을 통해 입력되는 데이터를 래스 체인 가까이에 배치되는 메모리 어레이 블록순으로 N 비트씩 순차적으로 출력한다.

<41> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 동작속도를 향상시키기 위한 개선된 구조를 가지는 반도체 메모리 장치는, 로우 및 칼럼 방향으로 매트릭스 형태로 배치되는 복수개의 메모리셀들을 포함하는 반도체 메모리 장치에 있어서, 복수개의 메모리 어레이 블록들과, 래스 체인과, 캐스 체인 및 복수개의 멀티플렉서들을 구비하는 것을 특징으로 한다.

<42> 복수개의 메모리 어레이 블록들은 각각이 소정 수의 메모리셀들을 포함하고 로우 방향으로 배열된다. 래스 체인은 복수개의 메모리 어레이 블록들의 일측에 로우 방향으로 배치되며, 소정의 워드라인을 선택하여 활성화시킨다. 캐스 체인은 복수개의 메모리 어레이 블록들의 다른 일측에 칼럼 방향으로 배치되며, 복수개의 메모리 어레이 블록으로부터 각각 N (2 이상의 자연수) 비트의 데이터를 증폭시켜 입출력 라인으로 출력한다. 복수개의 멀티플렉서들은 각각이 입출력 라인을 통해 입력되는 N 비트의 데이터를 직렬 데이터로 변환하여 출력한다. 복수개의 메모리 어레이 블록들 각각은 소정 수의 서브 메모리 블록들로 분할된다. 래스 체인 가까이에 배치되는 메모리 어레이 블록일수록 서브 메모리 블록의 수가 감소된다.

<43> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

<44> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<45> 도 5는 본 발명의 제1실시예에 의한 동작속도를 향상시키기 위한 개선된 구조를 가지는 반도체 메모리 장치를 나타내는 도면이다.

<46> 도 5에서, 본 발명의 제1실시예에 의한 반도체 메모리 장치는 제1 내지 제8메모리 어레이 블록들(31~38)과, 래스 체인(39)과, 캐스 체인(40), 및 데이터 변환기(41)를 구비한다.

<47> 상기 제1 내지 제8메모리 어레이 블록들(31~38) 각각은 데이터를 저장하는 소정 수의 메모리셀들을 포함한다. 바람직하게 상기 제1 내지 제8메모리 어레이 블록들(31~38) 각각은 한 로우당 1K 비트의 메모리셀들을 포함할 수 있다. 또, 상기 제1 내지 제8메모리 어레이 블록들(31~38) 각각은 3개의 서브 메모리 블록들(31a~38a)로 분할된다. 결국, 상기 서브 메모리 블록들(31a~38a)내에서는 하나의 워드라인이 352 비트의 메모리셀을 동시에 활성화시킨다.

<48> 도 5에서는 하나의 메모리 어레이 블록이 3개의 상기 서브 메모리 블록들로 분할되는 것이 도시되었으나, 상기 서브 메모리 블록의 갯수는 필요에 따라 증가 또는 감소될 수 있다.

<49> 또, 도 5에서는 8개의 상기 메모리 어레이 블록들을 예로서 설명하였으나, 상기 메모리 어레이 블록 또한 필요에 따라 증가 또는 감소될 수 있다.

<50> 상기 래스 체인(39)은 상기 제1 내지 제8메모리 어레이 블록들(31~38)의 일측에 로우 방향으로 배치되고, 메모리셀의 워드라인을 활성화시키기 위한 제어신호를 출력한다.

도 5에 도시되지는 않았지만, 상기 래스 체인(39)은 로우 디코더(row decoder)와, 로직 회로, 및 드라이빙 회로들을 포함한다.

<51> 상기 캐스 체인(40)은 상기 제1 내지 제8메모리 어레이 블록들(31~38)의 하측에 칼럼 방향으로 배치되고, 해당 메모리셀의 비트 라인을 선택하여 데이터를 증폭시켜 출력한다. 도 5에 도시되지는 않았지만, 상기 캐스 체인(40)은 칼럼 디코더(column decoder)와, 증폭회로를 포함한다.

<52> 상기 데이터 변환기(41)는 상기 제1 내지 제8메모리 어레이 블록들(31~38)에 각각 연결된다. 상기 데이터 변환기(41)는 상기 제1 내지 제8메모리 어레이 블록들(31~38)에 서 각각 출력되는 8비트씩의 데이터를 프리 페치한다.

<53> 상기 데이터 변환기(41)는 상기 제1메모리 어레이 블록(31)에서 출력되는 8비트의 데이터를 DQ0~DQ7의 첫 번째 비트(bit0)로 변환하고, 상기 제2메모리 어레이 블록(32)에서 출력되는 8비트의 데이터를 DQ0~DQ7의 두 번째 비트(bit1)로 변환하여 출력한다. 마찬가지로, 상기 제3 내지 제8메모리 어레이 블록들(33~38)에서 각각 출력되는 8비트의 데이터를 각각 DQ0~DQ7의 세 번째 비트(bit2) 내지 여덟 번째 비트(bit7)로 변환하여 출력한다.

<54> 좀 더 상세히 설명하면, 상기 제1메모리 어레이 블록(31)에서 출력되는 8비트의 데이터들은 DQ0 ~ DQ7로 변환되어 출력된다.

<55> 상기 제2메모리 어레이 블록(32)에서 출력되는 8비트의 데이터들은 DQ0 ~ DQ7로 변환되어 출력된다. 상기 제3 내지 제8메모리 어레이 블록들(33~38)에서 출력되는 데이터들도 마찬가지로 한 비트씩 증가된 비트들로 출력된다.

<56> 따라서, 가장 빠른 패스인 상기 제1메모리 어레이 블록(31)에서 출력되는 8비트의 데이터들이 동일 클럭에 동기하여 DQ0~DQ7로 출력된다. 그 다음 상기 제2, 제3, ... 제8메모리 어레이 블록(32~38)의 데이터 순으로 출력된다.

<57> 상기와 같이, 첫 번째 비트의 데이터가 출력된 후, 그 다음 비트는 다음 클럭까지 유효하면 되기 때문에 상기 래스 체인(39)의 제어신호 지연이 어느 정도 허용된다. 현재 수준의 램버스 디램에서 볼 때, 비트간 간격은 1.25nsec인데 비해, 비트간 상기 래스 체인(39)의 제어신호 지연은 50~500psec에 불과하므로 상당한 타이밍 마진이 있다.

<58> 결국, 느린 패스의 메모리 어레이 블록에서 데이터가 출력될 때까지 대기하지 않고, 빠른 패스의 메모리 어레이 블록의 데이터가 먼저 출력되므로, 데이터의 입출력 속도가 증가하게 된다.

<59> 또, 상기 래스 체인(39)으로부터 출력되는 래스 제어신호의 전달 지연을 자연스럽게 이용하게 되므로, 단일의 래스 체인(39)만으로도 충분하다.

<60> 따라서, 추가의 래스 체인 또는 에지 드라이버를 필요로 하지 않기 때문에, 반도체 칩의 면적을 상당히 줄일 수 있다.

<61> 도 5에 도시된 구조를 가지는 반도체 메모리 장치에서 데이터의 입출력 속도는 가장 빠른 패스의 엑세스(access) 속도에 좌우되므로 가장 빠른 패스를 더욱 빠르게 할 필요가 있다.

<62> 이와 같이, 빠른 패스의 엑세스 속도를 더욱 개선한 반도체 메모리 장치가 도 6에 도시되는 본 발명의 제2실시예에 의한 동작속도를 향상시키기 위한 개선된 구조를 가지는 반도체 메모리 장치이다.

<63> 본 발명의 제2실시예에 의한 동작속도를 향상시키기 위한 개선된 구조를 가지는 반도체 메모리 장치는, 도 5에 도시된 상기 제1실시예에 의한 동작속도를 향상시키기 위한 개선된 구조를 가지는 반도체 메모리 장치와 유사하다.

<64> 따라서, 본 발명의 제2실시예에 의한 동작속도를 향상시키기 위한 개선된 구조를 가지는 반도체 메모리 장치의 구성 및 구체적인 동작은 상기 제1실시예에서 설명한 것과 동일하므로 생략하기로 한다.

<65> 다만, 본 발명의 상기 제2실시예와 상기 제1실시예에서는 한 가지 차이점을 갖는다. 이 차이점에 대해 설명하면 다음과 같다.

<66> 도 5의 반도체 메모리 장치와의 차이점은 제1 내지 제8메모리 어레이 블록(51~58)이 각각 분할되는 서브 메모리 블록의 수이다.

<67> 도 6에서, 상기 제1 및 제2메모리 어레이 블록(51, 52)은 각각 4개의 서브 메모리 블록들(51a, 52a)로 분할된다. 상기 서브 메모리 블록들(51a, 52a) 각각에 존재하는 메모리셀은 한 워드라인당 256 비트이다. 또, 상기 제3 및 제4메모리 어레이 블록(53, 54)은 각각 3개의 서브 메모리 블록들(53a, 54a)로 분할된다. 상기 서브 메모리 블록들(53a, 54a) 각각에 존재하는 메모리셀은 한 워드라인당 352 비트이다.

<68> 상기 제5 및 제6메모리 어레이 블록(55, 56)은 각각 2개의 서브 메모리 블록들(55a, 56a)로 분할된다. 상기 서브 메모리 블록들(55a, 56a) 각각에 존재하는 메모리셀은 한 워드라인당 412 비트이다. 또, 상기 제7 및 제8메모리 어레이 블록(57, 58)은 각각 2개의 서브 메모리 블록들(57a, 58a)로 분할된다. 상기 서브 메모리 블록들(57a, 58a) 각각에 존재하는 메모리셀은 한 워드라인당 512 비트이다.

<69> 결국, 상기 래스 체인(39)에서 가까울수록, 즉 빠른 패스를 갖는 메모리 어레이 블록일수록 상기 서브 메모리 블록 수가 증가되어, 데이터 입출력 속도가 더 빨라지게 된다.

<70> 또, 상기 래스 체인(39)에서 멀수록, 즉 느린 패스를 갖는 메모리 어레이 블록일수록 상기 서브 메모리 블록 수가 감소되어, 데이터 입출력 속도가 더 느려지게 된다.

<71> 상기와 같이, 서브 메모리 블록의 수가 많을수록 데이터의 입출력 속도가 빨라지는 이유는, 상기 서브 메모리 블록의 크기가 작아짐에 따라, 한 워드라인에 연결되는 메모리셀의 수가 감소되고, 그 결과, 상기 래스 제어신호의 전달 속도가 더 빨라지기 때문이다.

<72> 상기와 같이, 빠른 패스의 데이터 입출력 속도가 증가됨으로써, 반도체 메모리 장치의 동작속도가 개선된다.

<73> 여기에서, 도 5와 도 6의 반도체 메모리 장치의 구조를 비교 설명하면 다음과 같다.

<74> 도 5와 같이, 한 워드라인당 352 비트의 메모리셀을 각각 포함하는 상기 서브 메모리 블록들(31a~38a)로 분할되는 상기 메모리 어레이 블록들(31~38)이 배치되면, 24개의 서브 메모리 블록들이 요구된다.

<75> 그러나, 도 6과 같이 상기 서브 메모리 블록들(51a~58a)에 252 비트, 352비트, 412비트, 512 비트의 메모리셀이 각각 포함되도록, 상기 메모리 어레이 블록들(51~58)이 불균일하게 분할되면, 23개의 서브 메모리 블록들이 요구된다.

<76> 도 6의 반도체 메모리 장치의 상기 서브 메모리 블록은 도 5의 상기 서브 메모리 블록에 비해 한 블록이 감소되므로, 반도체 메모리 장치의 면적이 감소되고, 동시에 동작속도가 개선될 수 있다.

<77> 상기 메모리 어레이 블록들(51~58)이 도 6과 같이 분할되었지만, 상기 래스 체인(39)과 근접할 수록 작게 분할되기만 한다면, 분할되는 상기 서브 메모리 블록들의 수는 다양하게 조절될 수 있다.

<78> 예를 들면, 상기 제1 및 제2메모리 어레이 블록(51, 52)이 4개의 서브 메모리 블록으로 분할되고, 나머지 상기 제3 내지 제8메모리 어레이 블록(51~58)이 2개의 서브 메모리 블록으로 분할되는 방식으로 해도 무방하다. 이 때는 20개의 상기 서브 메모리 블록들만 요구되므로, 반도체 메모리 장치의 면적을 더 줄일 수 있다.

<79> 도 6에 도시된 구조를 가지는 반도체 메모리 장치에서, DQ0~DQ7의 각 비트들간의 지연시간은, 각 메모리 어레이 블록들로 전달되는 상기 래스 제어신호 지연시간에 비해 상당한 타이밍 마진이 있다. 또, 상기 래스 제어신호의 지연시간은 온도, 공정, 전압 등의 변화에 따라 변화된다.

<80> 따라서, 상기 래스 제어신호의 지연시간을 조절하여, 반도체 메모리 장치가 보다 안정된 동작을 하도록 해 줄 필요가 있다.

<81> 이와 같이, 상기 래스 제어신호의 지연시간이 조절되는 반도체 메모리 장치가 도 7에 도시되는 본 발명의 제3실시예에 의한 동작속도를 향상시키기 위한 개선된 구조를 가지는 반도체 메모리 장치이다.

<82> 도 7에서, 본 발명의 제3실시예에 의한 동작속도를 향상시키기 위한 개선된 구조를 가지는 반도체 메모리 장치는, 도 5에 도시된 상기 제1실시예에 의한 동작속도를 향상시키기 위한 개선된 구조를 가지는 반도체 메모리 장치와 유사하다.

<83> 따라서, 본 발명의 제3실시예에 의한 동작속도를 향상시키기 위한 개선된 구조를 가지는 반도체 메모리 장치의 구성 및 구체적인 동작은 상기 제1실시예에서 설명한 것과 동일하므로 생략하기로 한다.

<84> 다만, 본 발명의 제3실시예와 제1실시예에서는 두 가지 차이점을 갖는다. 이 차이점에 대해 설명하면 다음과 같다.

<85> 도 5의 반도체 메모리 장치와의 첫 번째 차이점은 상기 제1 내지 제8메모리 어레이 블록들(31~38) 사이에 리피터(61)가 더 포함된 것이다.

<86> 상기 리피터(61)는 상기 래스 체인(39)으로부터 출력되는 래스 제어신호를 지연시켜 출력한다. 여기에서, 상기 리피터(61)는 인버터로 대체될 수 있다. 상기 리피터(61)에 의해 상기 제1 내지 제8메모리 어레이 블록들(31~38)간의 래스 제어신호를 지연시켜, 데이터 입출력 지연시간을 임의로 조절할 수 있다.

<87> 또, 상기 리피터(61)에 의해 래스 제어신호가 일정한 간격을 두고 순차적으로 하나의 메모리 어레이 블록씩 전달되므로, 상기 메모리 어레이 블록에 인가되는 전원의 피크 전류(peak current)가 1/8로 감소되어 Vss 노이즈가 개선될 수 있다.

<88> 도 5의 반도체 메모리 장치와의 두 번째 차이점은 상기 제1 및 제5메모리 어레이 블록(31, 35)이 제1 및 제2리던던시 메모리 어레이 블록(62, 63)을 더 포함하는 것이다.

<89> 본 발명의 반도체 메모리 장치에서 리던던시 메모리 셀 어레이의 배치는 매우 중요하다. 메모리 셀 어레이에서 불량이 발생한 경우 불량 메모리셀은 리던던시 메모리셀로 치환되는데, 이 때, 리던던시 메모리셀이 불량 메모리셀에 비하여 액세스 속도가 저하되어서는 안되기 때문이다.

<90> 따라서, 가장 빠른 패스의 메모리 셀 어레이를 리페어하는데 사용되는 상기 리던던시 메모리 셀 어레이도 가장 빠른 패스에 배치되어야 한다.

<91> 상기 제1리던던시 메모리 어레이 블록(62)은 상기 제1 내지 제4메모리 어레이 블록(31~34) 중 어느 한 블록에 문제가 발생되면 동작되고, 상기 제2리던던시 메모리 어레이 블록(63)은 상기 제5 내지 제8메모리 어레이 블록(35~38) 중 어느 한 블록에 문제가 발생되면 동작된다.

<92> 도 7에서는 2개의 상기 제1 및 제2리던던시 메모리 어레이 블록(62, 63)을 예로서 설명하였지만, 상기 리던던시 메모리 어레이 블록의 수는 필요에 따라 증가 또는 감소될 수 있다.

<93> 또한, 상기 리던던시 메모리 어레이 블록은 도 5 또는 도 6에 도시된 상기 제1 또는 제2실시예에 의한 반도체 메모리 장치에서도 동일하게 적용될 수 있다.

<94> 도 8은 본 발명의 제4실시예에 의한 반도체 메모리 장치는 제1 내지 제8메모리 어레이 블록들(71~78)과, 래스 체인(39)과, 캐스 체인(40), 및 복수의 멀티플렉서들(79)을 구비한다.

<95> 본 발명의 제4실시예에 의한 반도체 메모리 장치는 제1 내지 제8메모리 어레이 블록들(71~78)과, 래스 체인(39)과, 캐스 체인(40), 및 복수의 멀티플렉서들(79)을 구비한다.

<96> 상기 래스 체인(39)과 캐스 체인(40)의 구성 및 구체적인 동작은 상기 제1실시예에
 서 설명한 것과 동일하므로 생략하기로 한다.

<97> 상기 제1 내지 제8메모리 어레이 블록들(71~78) 각각은 데이터를 저장하는 소정 수
 의 메모리셀들을 포함한다. 바람직하게, 상기 제1 내지 제8메모리 어레이 블록들(71~78)
 각각은 한 로우당 1K 비트의 메모리셀들을 포함할 수 있다.

<98> 또, 상기 제1 및 제2메모리 어레이 블록(71, 72)은 각각 2개의 서브 메모리
 블록들(71a, 72a)로 분할된다. 상기 서브 메모리 블록들(71a, 72a) 각각에 존재하는 메
 모리셀은 한 워드라인당 512 비트가 된다.

<99> 상기 제3 및 제4메모리 어레이 블록(73, 74)은 각각 2½개의 서브 메모리 블록들
 (73a, 74a)로 분할된다. 상기 서브 메모리 블록들(73a, 74a) 각각에 존재하는 메모리셀
 은 한 워드라인당 412 비트이다. 또, 상기 제5 및 제6메모리 어레이 블록(75, 76)은 각
 각 3개의 서브 메모리 블록들(75a, 76a)로 분할된다. 상기 서브 메모리 블록들(75a,
 76a) 각각에 존재하는 메모리셀은 한 워드라인당 352 비트이다.

<100> 다음으로, 상기 제7 및 제8메모리 어레이 블록(77, 78)은 각각 4개의 서브 메모리
 블록들(77a, 78a)로 분할된다. 상기 서브 메모리 블록들(77a, 78a) 각각에 존재하는 메
 모리셀은 한 워드라인당 256 비트이다.

<101> 결국, 상기 래스 체인(39)에서 가까울수록, 즉 빠른 패스를 갖는 메모리 어레이 블
 록일수록 상기 서브 메모리 블록 수가 감소되어, 데이터 입출력 속도가 더 느려지게 된
 다.

· <102> 또, 상기 래스 체인(39)에서 멀수록, 즉 느린 패스를 갖는 메모리 어레이 블록일수록 상기 서브 메모리 블록 수가 증가되어, 데이터 입출력 속도가 더 빨라지게 된다.

<103> 상기와 같이, 전체적인 래스 제어신호의 지연을 일정하게 하여, 메모리 어레이 블록들에 대한 데이터의 입출력이 비슷한 속도로 이루어지게 되므로, 빠른 패스의 대기시간을 줄일 수 있다.

<104> 상기 복수의 멀티플렉서들(79)은 상기 제1 내지 제8메모리 어레이 블록들(71~78)에 각각 연결된다. 상기 복수의 멀티플렉서들(79)은 상기 제1 내지 제8메모리 어레이 블록들(71~78)에서 데이터의 고속전송을 위해 8비트씩의 데이터를 프리 페치한다. 상기 프리 페치된 데이터는 상기 복수의 멀티플렉서들(79)에서 직렬 데이터로 변환되어 각각 DQ0~DQ7로 출력된다.

<105> 좀 더 상세히 설명하면, 상기 제1메모리 어레이 블록(71)에서 출력되는 8비트의 데이터들은 DQ7<0> ~ DQ7<7>로 변환되어 출력된다. 또, 상기 제2메모리 어레이 블록(72)에서 출력되는 8비트의 데이터들은 DQ6<0> ~ DQ6<7>로 변환되어 출력된다. 마찬가지로, 상기 제3 내지 제8메모리 어레이 블록(73~78)에서 각각 출력되는 8비트의 데이터들은 DQ5<0> ~DQ5<7>, , DQ0<0> ~ DQ0<7>로 각각 변환되어 출력된다.

<106> 상기와 같이, 래스 체인(39)에서 떨어져 있는 상기 메모리 어레이 블록이 작게 분할되어 상기 서브 메모리 블록의 수가 증가되므로, 상기 메모리 어레이 블록들(71~78)에서의 데이터 입출력이 비슷한 속도로 이루어지게 된다.

<107> 모두 같은 클럭에 입출력되어야 하는 상기 DQ0~DQ7의 데이터들은 각각 비슷한 속도로 셋업되므로, 빠른 패스에서의 대기시간이 감소된다.

<108> 도 9는 본 발명의 제5실시예에 의한 동작속도를 향상시키기 위한 개선된 구조를 가지는 반도체 메모리 장치를 나타내는 도면이다.

<109> 본 발명의 제5실시예에 의한 반도체 메모리 장치는 래스 체인(39)과, 캐스 체인(40)과, 복수의 메모리 셀 어레이 블록들(81)과, 비트 라인 센스앰프(82), 및 입출력 센스앰프(83)를 구비한다.

<110> 상기 래스 체인(39)과 상기 캐스 체인(40)의 구성 및 구체적인 동작은 상기 제1실시예에서 설명한 것과 동일하므로 생략하기로 한다.

<111> 도 9에서, 상기 비트 라인 센스앰프(82)가 상기 복수의 메모리 셀 어레이 블록들(81)의 상하에 칼럼 방향으로 배치된다.

<112> 상기 비트 라인 센스앰프(82)는 상기 복수의 메모리 셀 어레이 블록들(81)의 비트 라인들과 연결되어, 해당 메모리 셀의 데이터를 증폭시킨다.

<113> 또, 상기 비트 라인 센스앰프(82)의 일측에는 칼럼 방향으로 상기 캐스 체인(40)이 배치된다.

<114> 비트 라인 센스앰프에 의해 증폭된 데이터가 외부로 출력되기까지의 출력경로를 살펴보면 다음과 같다.

<115> 비트 라인 센스앰프에 의해 증폭된 데이터는 로컬 입출력라인(Local Input/Output line, 이하 LIO라 함)과 글로벌 입출력 라인(Global Input/Output line, 이하, GIO라 함)을 거쳐 입출력 센스 앰프(83)에 의해 다시 증폭된다.

<116> 상기 입출력 센스 앰프에서 출력되는 데이터는 RD(Read Data) 라인을 통하여, 출력 패드(미도시)를 거쳐 외부로 출력된다.

<117> 도 9에서 도시된 것과 같이, 하나의 메모리 셀 어레이 블록에서 멀티 비트의 데이터가 출력된다.

<118> 상기의 멀티 비트의 데이터들은 제1비트, 제2비트,...의 순서로 직렬데이터로 변환되어 출력된다. 따라서, 상기 제1비트의 데이터 출력 속도에 따라 전체 데이터의 출력 속도가 결정된다. 결국, 상기 제1비트의 데이터 출력 속도를 빠르게 하면, 전체 데이터의 출력 속도가 빨라지게 된다.

<119> 상기 제1비트의 출력 경로의 조건이 연속하여 출력되는 다음 비트들의 데이터 패스의 조건 보다 좋으면, 상기 제1비트의 데이터 출력 속도가 빨라진다.

<120> 상기 제1비트의 출력 경로의 조건을 개선하는 방법들로는 다음과 같은 것들이 있다.

<121> 먼저 제1비트에 대한 비트 라인 센스앰프(82)의 크기가 다른 비트들의 비트 라인 센스앰프들에 비하여 크게 설계되도록 한다. 또, 상기 비트 라인 센스앰프(82)로부터 상기 입출력 센스앰프(83)까지의 데이터 패스(LIO/GIO)의 스페이스(space), 위스(width), 실딩 스페이스(shielding space)가 다른 데이터 패스 보다 더 크게 설계되도록 한다. 또, 상기 제1비트의 상기 입출력 센스앰프(83)의 이득(gain)이 다른 데이터 패스 보다 더 크게 설정되도록 한다.

<122> 또, 상기 제1비트의 상기 입출력 센스앰프(83)의 상기 RD 라인의 라인 스페이스(line space), 위스, 결합(coupling) 등이 다른 비트들의 RD 라인 보다 빠르게 동작되도록 레이아웃을 한다.

<123> 상기와 같이 제1비트의 데이터 패스의 조건을 다른 비트들의 데이터 패스의 조건 보다 더 좋게 함으로써, 데이터의 입출력 속도를 더 빠르게 할 수 있다.

<124> 상기와 같은 본 발명의 제5실시예에 의한 동작속도를 향상시키기 위한 개선된 구조는 상기 제1 내지 제3실시예들과의 조합에 의해 다양하게 실시될 수 있다.

<125> 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과 하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<126> 상기한 것과 같이, 본 발명의 동작속도를 향상시키기 위한 개선된 구조를 가지는 반도체 메모리 장치에 따르면 데이터가 가장 빠른 패스에 동기하여 입출력되므로 데이터의 입출력 속도가 증가되는 효과가 있다.

<127> 또, 본 발명에 의한 반도체 메모리 장치에 따르면, 단일의 래스 체인만이 사용되므로 반도체 메모리 장치의 면적이 감소되는 효과가 있다.

<128> 또한, 본 발명에 의한 반도체 메모리 장치에 따르면, 래스 제어신호를 메모리 어레이 별로 지연시켜 출력하는 리피터가 사용되므로, 피크 전류가 감소되어 노이즈가 감소되는 효과가 있다.

【특허청구범위】**【청구항 1】**

로우 및 칼럼 방향으로 매트릭스 형태로 배치되는 복수개의 메모리셀들을 포함하는 반도체 메모리 장치에 있어서,

소정 수의 메모리셀들을 각각 포함하고 로우 방향으로 배열되는 복수개의 메모리 어레이 블록들;

상기 복수개의 메모리 어레이 블록들의 일측에 로우 방향으로 배치되며, 소정의 워드라인을 선택하여 활성화시키는 래스 체인;

상기 복수개의 메모리 어레이 블록들의 다른 일측에 칼럼 방향으로 배치되며, 상기 복수개의 메모리 어레이 블록으로부터 각각 N (2 이상의 자연수) 비트의 데이터를 증폭시켜 입출력 라인으로 출력하는 캐스 체인; 및

상기 입출력 라인을 통해 입력되는 데이터를 상기 래스 체인 가까이에 배치되는 상기 메모리 어레이 블록순으로 상기 N 비트씩 순차적으로 출력하는 데이터 변환기를 구비하는 것을 특징으로 하는 동작속도를 향상시키기 위한 개선된 구조를 가지는 반도체 메모리 장치.

【청구항 2】

제1항에 있어서,

상기 복수개의 메모리 어레이 블록들은 상기 래스 체인에 근접하여 제1, 제2, ..., 제 M (2이상의 자연수) 메모리 어레이 블록순으로 배열되고,

상기 데이터 변환기는 상기 제1, 제2, ..., 제M 메모리 어레이 블록에서 각각 상기 N 비트씩 출력되는 데이터를 각각 N개의 데이터 편의 제1비트들, 제2비트들, ..., 제M비트들로 하여 순차적으로 출력하는 것을 특징으로 하는 동작속도를 향상시키기 위한 개선된 구조를 가지는 반도체 메모리 장치.

【청구항 3】

제1항에 있어서, 상기 데이터 변환기는
шу프트 레지스터로 실행될 수 있고, 멀티플렉서의 기능을 포함하는 것을 특징으로
하는 동작속도를 향상시키기 위한 개선된 구조를 가지는 반도체 메모리 장치.

【청구항 4】

제1항에 있어서, 상기 복수개의 메모리 어레이 블록들 각각은
소정 수의 서브 메모리 블록들로 분할되는 것을 특징으로 하는 동작속도를 향상시
키기 위한 개선된 구조를 가지는 반도체 메모리 장치.

【청구항 5】

제1항 또는 제4항에 있어서, 상기 메모리 어레이 블록들은
상기 래스 체인에 근접하는 상기 메모리 어레이 블록일수록 상기 서브 메모리 블록
의 수가 증가되는 것을 특징으로 하는 동작속도를 향상시키기 위한 개선된 구조를 가지
는 반도체 메모리 장치.

【청구항 6】

제1항에 있어서,

상기 복수개의 메모리 어레이 블록들은 서로 인접한 상기 메모리 어레이 블록 사이에 리피터를 더 포함하고,

상기 리피터는 상기 래스 체인으로부터 출력되는 제어신호를 소정시간 지연시켜 출력하는 것을 특징으로 하는 동작속도를 향상시키기 위한 개선된 구조를 가지는 반도체 메모리 장치.

【청구항 7】

제1항에 있어서,

상기 복수개의 메모리 어레이 블록들은 복수의 리던던시 메모리 어레이 블록들을 더 포함하고,

상기 복수의 리던던시 메모리 어레이 블록들 각각은 상기 리던던시 메모리 어레이 블록들이 리페어하는 메모리 어레이 블록들에 비하여 동일하거나 빠른 데이터 입출력 패스를 갖도록 배치되는 것을 특징으로 하는 동작속도를 향상시키기 위한 개선된 구조를 가지는 반도체 메모리 장치.

【청구항 8】

제2항에 있어서, 상기 N비트의 데이터 중 첫 번째 비트의 출력 경로는 연속하여 출력되는 다음 비트의 출력 경로들에 비하여 더 빠르게 데이터를 출력하도록 설계되는 것을 특징으로 하는 동작속도를 향상시키기 위한 개선된 구조를 가지는 반도체 메모리 장치.

【청구항 9】

로우 및 칼럼 방향으로 매트릭스 형태로 배치되는 복수개의 메모리셀들을 포함하는 반도체 메모리 장치에 있어서,

각각이 소정 수의 메모리셀들을 포함하고 로우 방향으로 배열되는 복수개의 메모리 어레이 블록들;

상기 복수개의 메모리 어레이 블록들의 일측에 로우 방향으로 배치되며, 소정의 위드라인을 선택하여 활성화시키는 래스 체인;

상기 복수개의 메모리 어레이 블록들의 다른 일측에 칼럼 방향으로 배치되며, 상기 복수개의 메모리 어레이 블록으로부터 각각 N (2 이상의 자연수) 비트의 데이터를 증폭시켜 입출력 라인으로 출력하는 캐스 체인; 및

각각이 상기 입출력 라인을 통해 입력되는 상기 N 비트의 데이터를 직렬 데이터로 변환하여 출력하는 복수개의 멀티플렉서들을 구비하며,

상기 복수개의 메모리 어레이 블록들 각각은 소정 수의 서브 메모리 블록의 수가 감소되는 것을 특징으로 하는 동작속도를 향상시키기 위한 개선된 구조를 가지는 반도체 메모리 장치.

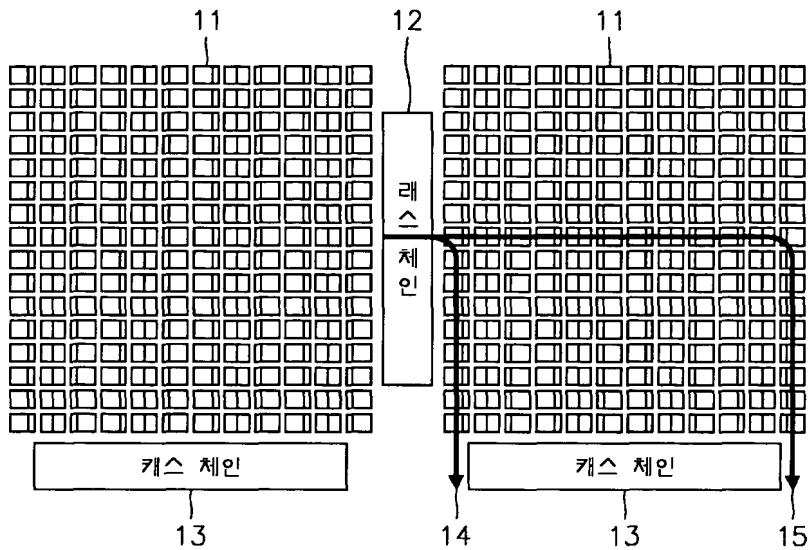
【청구항 10】

제9항에 있어서, 상기 복수개의 메모리 어레이 블록들 각각은

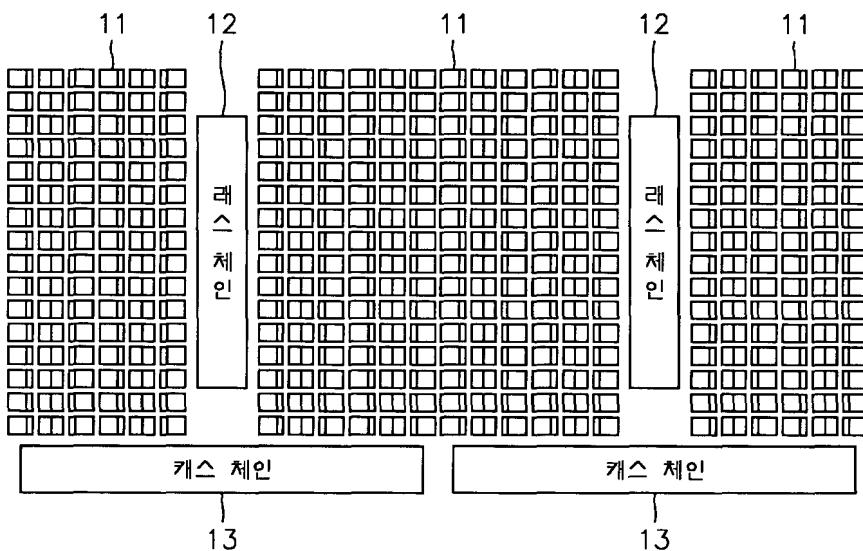
실질적으로 동일한 시점에 상기 N 비트씩의 데이터를 출력하는 것을 특징으로 하는 동작속도를 향상시키기 위한 개선된 구조를 가지는 반도체 메모리 장치.

【도면】

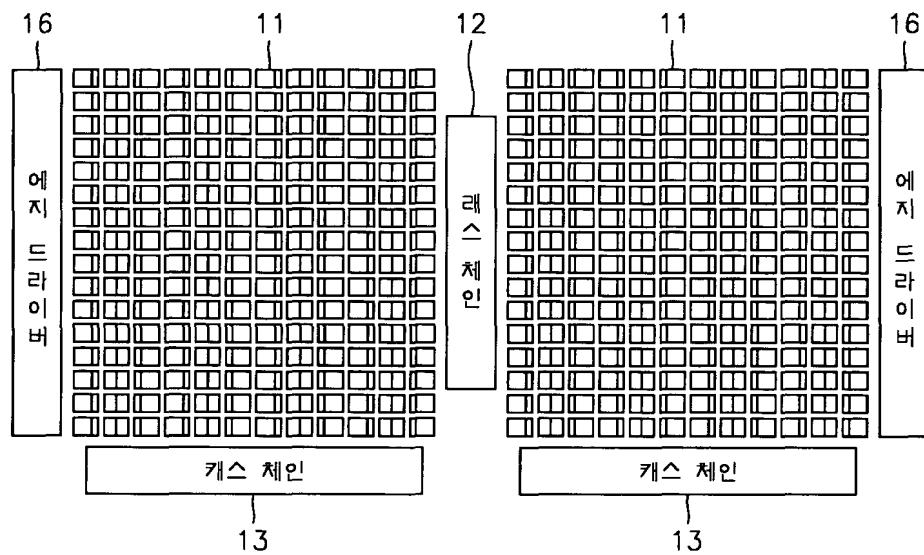
【도 1】



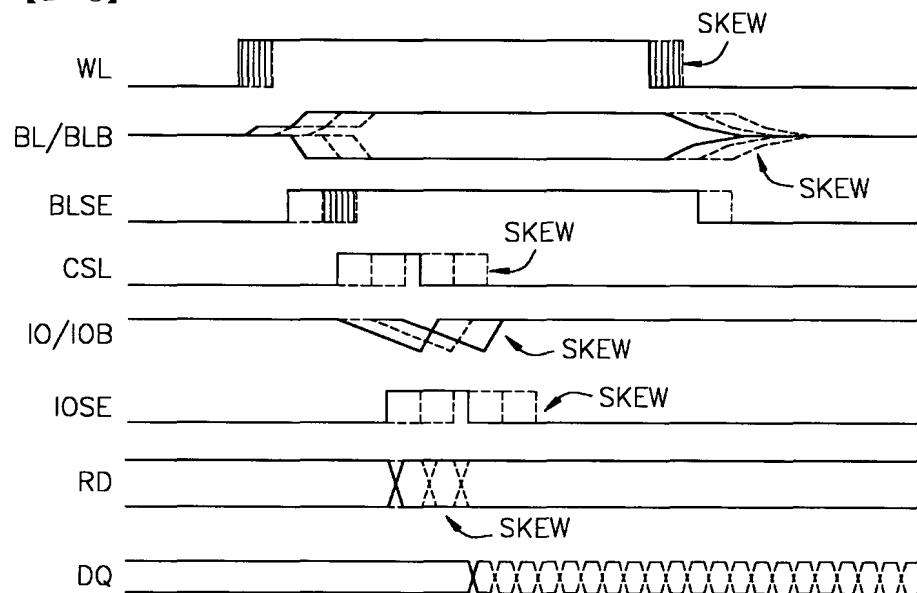
【도 2a】



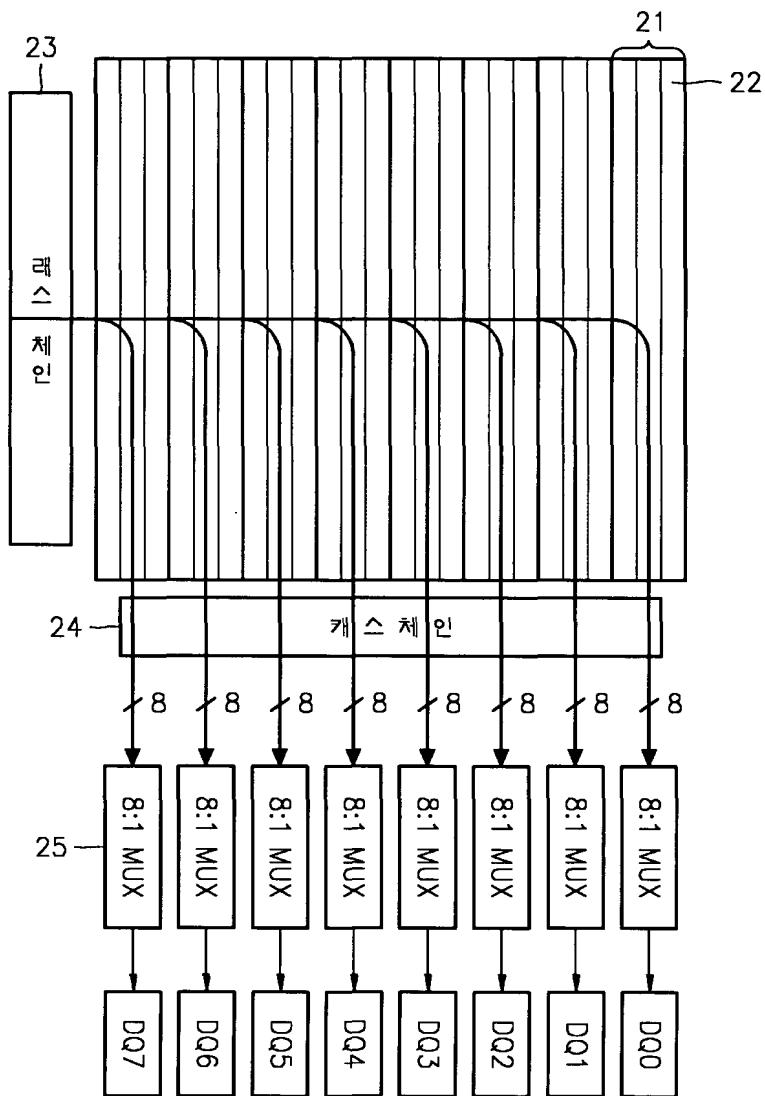
【도 2b】



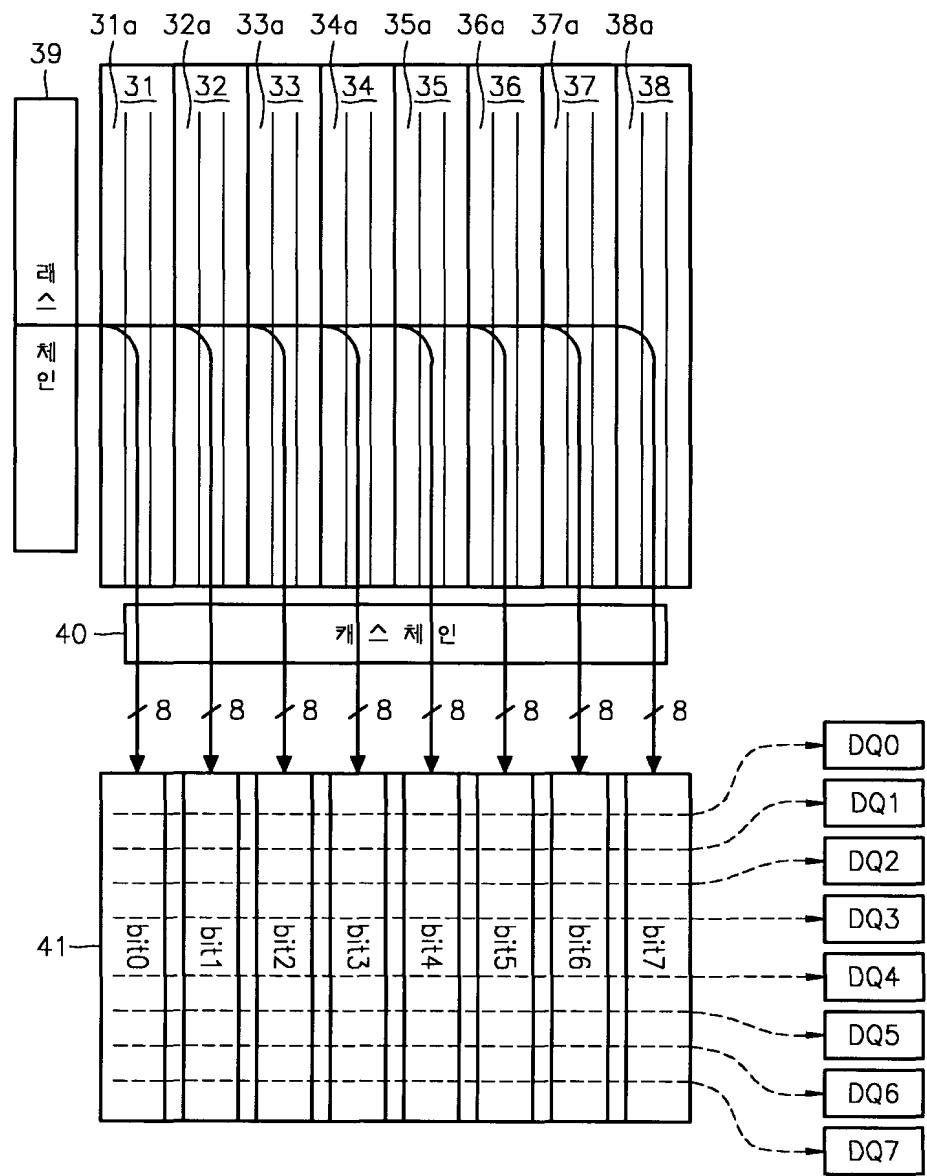
【도 3】



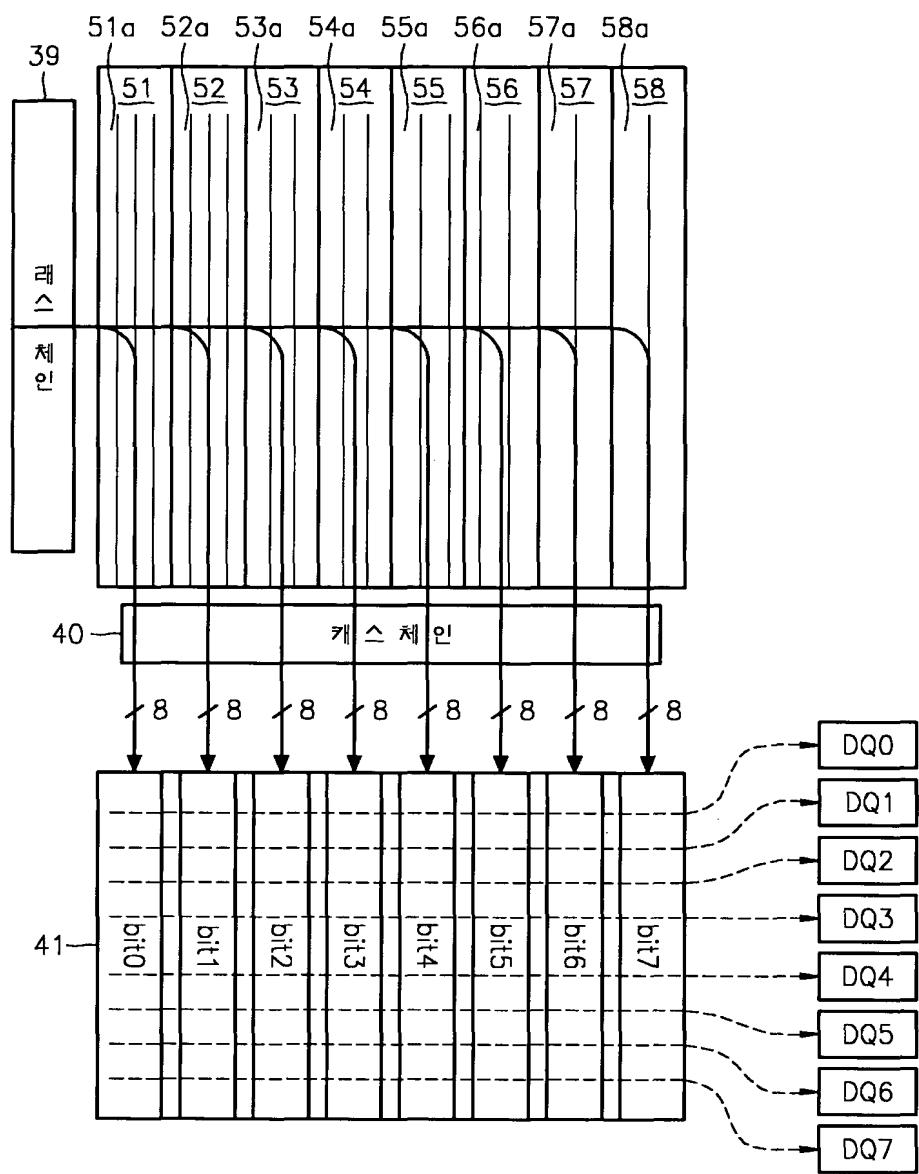
【도 4】



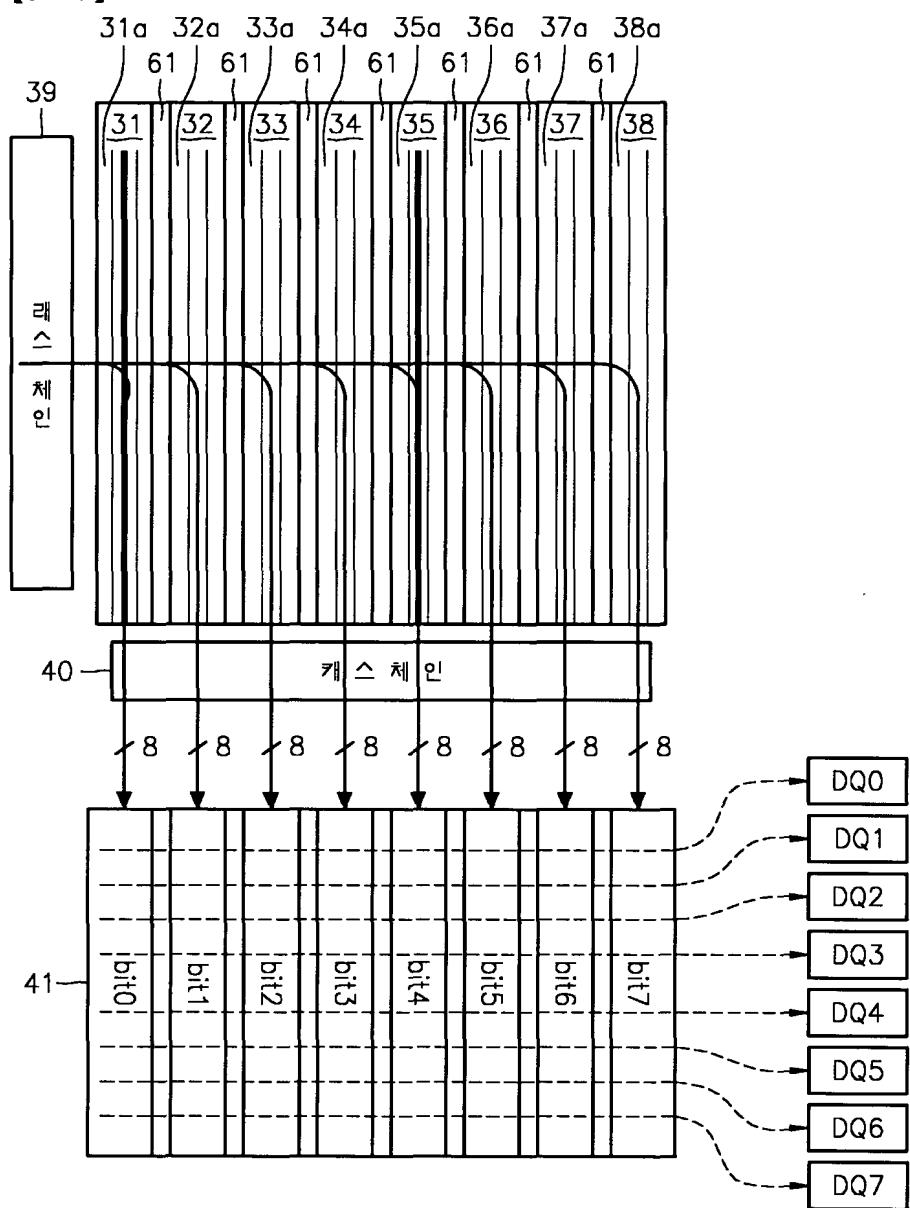
【도 5】



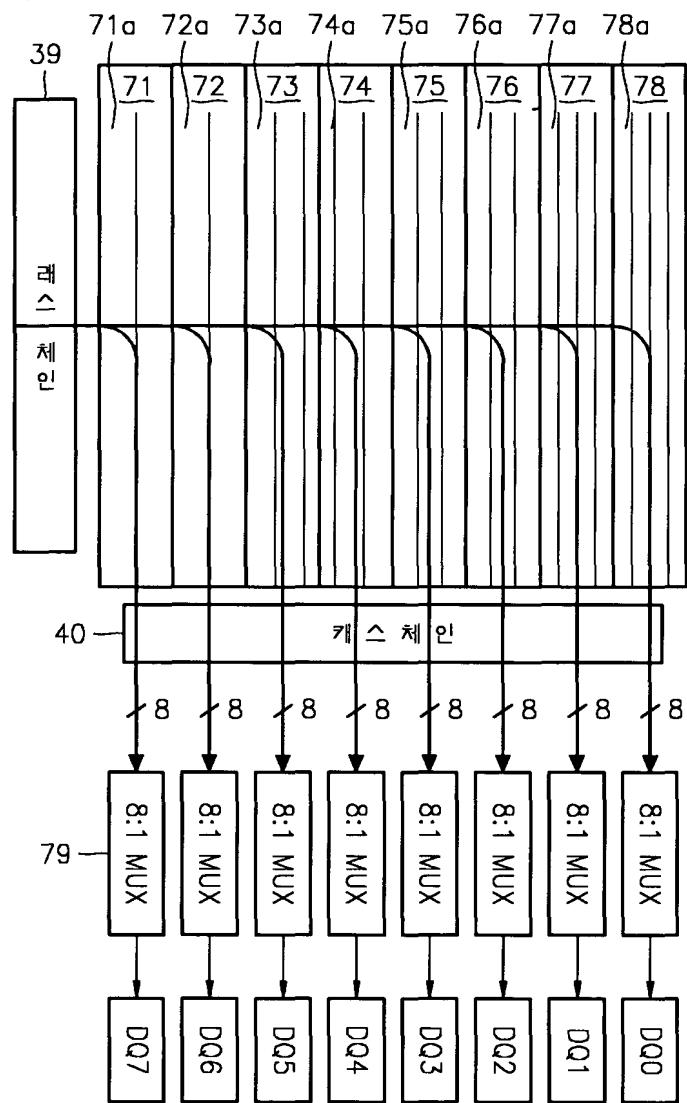
【도 6】



【도 7】



【도 8】



【도 9】

